

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-097362

(43) Date of publication of application : 08.04.1994

(51)Int.Cl. H01L 23/522

H01L 23/12

H05K 3/46

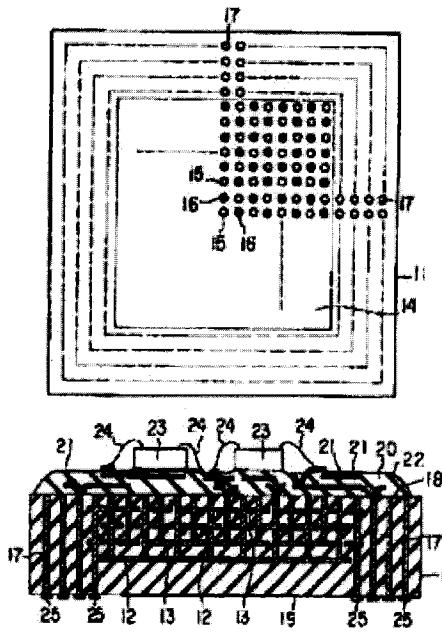
(21)Application number : 05-083573 (71)Applicant : TOSHIBA CORP

(22) Date of filing : 09.04.1993 (72) Inventor : SUDO TOSHIO
ITO KENJI

(30)Priority

Priority number 04203856 Priority date 30.07.1992 Priority country JP

(54) MULTILAYER WIRING BOARD, PRODUCTION THEREOF AND SEMICONDUCTOR DEVICE EMPLOYING THE SAME



(57) Abstract:

PURPOSE: To simplify production process of multilayer wiring board being employed in a multichip module.

CONSTITUTION: Planar conductor patterns 12, 13 for power supply and grounding are laminated alternately through a dielectric sheet to constitute a ceramic base board 11. Via hole contacts 15, 16 are arranged regularly and alternately in the center of the ceramic base board 11 while being connected electrically with internal planar conductor patterns for power supply and grounding. A multilayer thin film wiring part 22 comprising thin film wirings for power supply and grounding, connected selectively with respective via holes 15, 16, is provided on the main surface of the ceramic base board 11.

[Claim(s)]

[Claim 1]A base board by which a surface state conductive pattern which transmits each potential of an electrical power system, respectively was laminated by turns via an insulating layer, It is electrically connected with each of a surface state conductive pattern for each potential of an electrical power system of the above-mentioned base board, Each via-hole contact part for potential of an electrical power system of each plurality formed so that it might be regularly arranged by turns in the center section of the above-mentioned base board and this base board might be penetrated, A multilayer interconnection board possessing a multilayered film wiring section in which thin film wiring for each potential of an electrical power system which was provided on a principal surface of the above-mentioned base board, and was selectively connected to each above-mentioned via-hole contact part, and thin film wiring for signals were formed.

[Claim 2]A base board by which an object for power supplies and a surface state conductive pattern for grounding were laminated by turns via an insulating layer, It is electrically connected with each of an object for the power supplies of the above-mentioned base board, and a surface state conductive pattern for grounding, An object for power supplies and a via-hole contact part for grounding of each plurality which were formed so that it might be regularly arranged by turns in the center section of the above-mentioned base board and this base board might be penetrated, A multilayer interconnection board possessing a multilayered film wiring section in which a power supply and thin film wiring for grounding which were provided on a principal surface of the above-mentioned base board, and were selectively connected to the above-mentioned object for a power supply and a via-hole contact part for grounding, and thin film wiring for signals were formed.

[Claim 3]The multilayer interconnection board according to claim 2, wherein an insulating layer of said base board comprises an aluminum nitride.

[Claim 4]The multilayer interconnection board according to claim 2, wherein an insulating layer which thickness is thinner enough than other insulating layers, and was carried out is provided in a principal surface of said base board.

[Claim 5]A semiconductor device comprising:

A base board by which an object for power supplies and a surface state conductive pattern for grounding were laminated by turns via an insulating layer.

An object for power supplies and a via-hole contact part for grounding of each plurality which were formed so that it might electrically be connected with an object for the power supplies of the above-mentioned base board, and each surface state conductive pattern for grounding, and might be regularly arranged by turns in the center section of the above-mentioned base board and this base board might be penetrated.

A multilayered film wiring section in which a power supply and thin film wiring for grounding which were provided on a principal surface of the above-

mentioned base board, and were selectively connected to the above-mentioned object for a power supply and a via-hole contact part for grounding, and thin film wiring for signals were formed.

At least one semiconductor chip which is carried on the above-mentioned multilayered film wiring section, and has two or more surface electrodes and by which these surface electrodes were selectively connected with a thin film wiring layer of the above-mentioned multilayered film wiring section.

[Claim 6]The semiconductor device according to claim 5, wherein an insulating layer which thickness is thinner enough than other insulating layers, and was carried out is provided in a principal surface of said base board.

[Claim 7]A multilayer interconnection board comprising:

A base board by which an object for power supplies and a surface state conductive pattern for grounding were laminated by turns via an insulating layer.

An object for power supplies and a via-hole contact part for grounding of each plurality which were formed so that it might electrically be connected with each of an object for the power supplies of the above-mentioned base board, and a surface state conductive pattern for grounding and the above-mentioned base board might be penetrated.

Two or more via-hole contact parts for signals formed so that it might be arranged at the above-mentioned base board with the above-mentioned object for a power supply, and a via-hole contact part for grounding and the above-mentioned base board might be penetrated.

Two or more pad electrodes which were formed on a principal surface of the above-mentioned base board, and were connected with each above-mentioned via-hole contact part.

[Claim 8]The multilayer interconnection board according to claim 7, wherein an insulating layer of said base board comprises an aluminum nitride.

[Claim 9]An object for power supplies and a surface state conductive pattern for grounding are laminated by turns via an insulating layer, A base board which has an object for the power supplies of each plurality, a via-hole contact part for grounding, and two or more via-hole contact parts for signals which were electrically connected with each of an object for these power supplies and a surface state conductive pattern for grounding is formed, A manufacturing method of a multilayer interconnection board cutting the above-mentioned base board in a required size, and separating into each multilayer interconnection board.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device using the multilayer interconnection board used for semiconductor multi chip module mounting, and this substrate, and the manufacturing method of a multilayer interconnection board.

[0002]

[Description of the Prior Art] In recent years, the high integration of LSI and improvement in the speed are progressing by progress of semiconductor technology. When it constitutes a computer and communication equipment using such highly efficient LSI, by improvement in the speed of the LSI itself, mounting delay in case a signal transmits between LSI comes to occupy a big ratio relatively, and is becoming a factor which restricts system performance.

[0003] As this solution technique, development of the multi chip module (MCM:Multi Chip Module) which mounts LSI in high density with a bare chip has prospered. MCM-L which mounts a bare chip in a printed circuit board directly, and the ceramic thin film called a green sheet can be laminated, and can be classified into MCM-C using the calcinated ceramic substrate, and MCM-D using a thin film multilayer interconnection board according to the kind of substrate used for MCM. Also in it, MCM-D attracts attention from viewpoints of an electrical property, wiring density, etc.

[0004] In this MCM-D, in order to form thin film multilevel interconnection, the base board used as a foundation is needed, and as this base board, the ceramic substrate which consists of metal plates, such as a silicon wafer and aluminum, alumina, an aluminum nitride, etc. is usually used. When a ceramic substrate is used, wiring can be formed in the inside of a base board, and since a base board can moreover serve as a package, packaging density can be raised.

[0005] Since the base board using this ceramic substrate had been conventionally used in high-end fields, such as a supercomputer, even if that cost was high, it was permitted. However, when applying this technology to the field of a workstation or a personal computer, various things were manufactured for a short period of time, and it has been necessary to reduce that cost.

[0006]

[Problem to be solved by the invention] the base board used for old MCM -- formation of a wiring conductor pattern, and formation of an insulating layer and via-hole (via hole) -- a part for a required number of layers -- much more -- it needed to form. Since this process was sequential, the time which will be needed by the time a base board is completed was taken, and there was a problem that reduction of cost was difficult.

[0007] This invention is made in consideration of the above situations, and that purpose, It is simplifying a formation process of a base board used for a multi chip module, and providing a semiconductor device using a multilayer interconnection board in which reduction of cost and shortening of

manufacturing cycle time are possible, and this substrate, and a manufacturing method of a multilayer interconnection board.

[0008]

[Means for solving problem] This invention is characterized by a multilayer interconnection board comprising the following.

A base board by which an object for power supplies and a surface state conductive pattern for grounding were laminated by turns via an insulating layer.

An object for power supplies and a via-hole contact part for grounding of each plurality which were formed so that it might electrically be connected with each of an object for the power supplies of the above-mentioned base board, and a surface state conductive pattern for grounding, and might be regularly arranged by turns in the center section of the above-mentioned base board and this base board might be penetrated.

A multilayered film wiring section in which a power supply and thin film wiring for grounding which were provided on a principal surface of the above-mentioned base board, and were selectively connected to the above-mentioned object for a power supply and a via-hole contact part for grounding, and thin film wiring for signals were formed.

[0009]

[Function] It is necessary to provide inexpensive the multilayer interconnection board for manufacturing various multi chip modules for a short time, and like the gate array used for ASIC for this reason. carrying out semi custom-made ** of the base board which laminated the insulating layer in which only the surface state conductive pattern the object for power supplies and for grounding was formed, preparing it for the surface beforehand, and responding to a use -- signal wiring -- the number-of-layers formation minimum by a thin film process -- it carries out. At this time, in the center section of the base board, the via-hole contact part connected with the surface state conductive pattern the object for internal power supplies and for grounding is arranged by turns regularly, and the via-hole contact part connected with signal wiring is arranged in it at the outer peripheral part of a base board. And a power supply, grounding, and signal wiring are connected with the wiring formed of a thin film technology. Thereby, corresponding to arbitrary arrangement of LSI of arbitrary sizes, the power supply and grounding wiring of LSI are connectable with the beer hole contact part arranged regularly at the base board in the shortest possible distance for every use. Although signal wiring forms the wiring which connects the wiring which connects between the semiconductor chips in a semiconductor device, and a semiconductor chip and the semiconductor device exterior, a conductor wiring layer can be substituted for the thin film wiring of the two-layer composition for the minimum signals.

[0010]

[Working example] Hereafter, with reference to Drawings, an working example explains this invention.

[0011] Drawing 1 is a pattern top view showing the composition of the base board concerning the 1st working example of this invention, and drawing 2 is a sectional view showing the composition of the semiconductor device constituted using the base board of drawing 1.

[0012] The base board 11 of drawing 1 on the surface of the insulation sheet called the ceramic green sheet which consists of alumina ($\text{aluminum}_2\text{O}_3$), an aluminum nitride (AlN), etc., for example, For example, after piling up the two or more layers thing which formed the surface state conductive pattern by screen-stenciling a tungsten paste, it is formed by using and sintering calcination technology.

[0013] There are two kinds such as the surface state conductive pattern 12 to which power supply voltage is connected, and the surface state conductive pattern 13 to which ground voltage (reference voltage) is connected of surface state conductive patterns formed on each surface of an insulation sheet of two or more above-mentioned layers. Two kinds of this surface state conductive pattern prepares beforehand a green sheet formed, respectively two-layer [every], and the above-mentioned base board 11 is calcinated, after laying on top of a thickness direction by turns so that a capacitor may be formed between [each] surface state conductive patterns.

[0014] The center section 14 of the base board 11 of drawing 1 is a field in which the main surface state conductive patterns 12 and 13 an object for internal power supplies and for grounding are formed. And it is connected with the surface state conductive pattern 12 for power supplies, and among a figure, the via-hole contact 15 shown with a circle [white] and the via-hole contact 16 which it was connected with the surface state conductive pattern 13 for grounding, and was shown by a black dot among a figure arrange in this center section 14 by turns regularly, and is formed in it. Two or more via-hole contacts 17 for taking out signal wiring, and a power supply/grounding wiring outside are arranged at a periphery of the base board 11.

[0015] Each above-mentioned via-hole contacts 15, 16, and 17 are filled up for example, with a tungsten paste in the penetrating port (via hole) formed in the insulation sheet of the above-mentioned each layer, respectively, and the electrical link is planned by calcinating simultaneously at the time of calcination of a green sheet in the sliding direction. Therefore, the surface state conductive pattern 12 entirety for the power supplies of each insulating layer is constituted so that it may be in the state where multiple connection was carried out, it may be in the state where multiple connection also of the surface state conductive pattern 13 entirety for grounding was carried out similarly and the inductance component which exists in each wiring route may become small enough.

[0016] The upper surface 18 turns into a principal surface which is a thin-film-wiring forming face, and the base board 11 shown in drawing 2 is a case where the undersurface 19 is an external terminal cash-drawer side. And each apical surface of the via-hole contact 15 for the above-mentioned power supplies, the via-hole contact 16 for grounding, and the via-hole contact 17 is exposed to the

upper surface 18. As for the insulation sheet by the side of the upper surface 18, the surface is ground. Furthermore, the pad electrode which is not illustrated for aiming at connection with the thin film wiring section 22 mentioned later is formed in the exposed part of each via-hole contact on the surface of an insulation sheet by the side of the upper surface 18.

[0017]The thin film wiring section 22 of the multilayer interconnection structure which has the thin film wiring layer 21 which becomes the upper surface 18 of the above-mentioned base board 11 from a titanium layer or a chromium layer as a barrier metal for aiming at improvement in the adhesion between the polyimide insulating layer 20, copper, and this copper and a polyimide insulating layer, etc. is formed. And the multilayer interconnection board is constituted by the above-mentioned base board 11 and this thin film wiring section 22.

[0018]On the above-mentioned thin film wiring section 22, two or more semiconductor chips 23, for example, an LSI chip, are carried. The electrode the object for power supply voltage which is not illustrated, for ground voltage, and for signals (pad electrode) is formed in the upper surface of these each LSI chip 23.

The electrode on these LSI chips 23 via the thin film wiring layer 21 in the bonding wires 24 and the thin film wiring section 22, It is electrically connected with the thing of the position nearest to each LSI chip 23 among the via-hole contacts 15 and 16 of the base board 11, respectively, and is connected also to the via-hole contact 17.

[0019]Namely, some via-hole contacts 17 arranged at the periphery of the base board 11 are directly connected with the object for internal power supplies, or the surface state conductive patterns 12 and 13 for grounding within the base board, Via this via-hole contact 17, power supply voltage or ground voltage is supplied to each surface state conductive patterns 12 and 13, and is further supplied to each LSI chip 23 via the via-hole contacts 15 and 16, the thin film wiring layer 21, and the bonding wires 24. Transfer of the signal between each LSI chip 23 and the exterior is performed via the part, the thin film wiring layer 21, and the bonding wires 24 of the via-hole contact 17 arranged at the periphery of the base board 11.

[0020]Although the pad electrode for a lead pin being brazed or making a connector contact is formed in the undersurface 19 of the base board 11, this example shows the case where the pad electrode 25 is formed.

[0021]Drawing 3 was formed in the insulation sheet surface which constitutes the above-mentioned base board 11, for example, is a pattern top view showing the form of the surface state conductive pattern 12 for power supplies. It is the surface state conductive pattern 12 formed by the field which gave the slash printing a tungsten paste among a figure, and calcinating after that, In order to prevent a short circuit with this via-hole contact 16, the conductive pattern is not formed near the circumference of the via-hole contact 16 for grounding. The surface state conductive pattern 13 for grounding as well as this is formed.

[0022]When manufacturing various MCM in the multilayer interconnection board constituted in this way, it corresponds to arbitrary arrangement of the LSI chip of arbitrary sizes for every use, From via-hole contact of the nearest position arranged at the base board 11, the power supply and grounding wiring of an LSI chip can be connected, without taking about most inside of the thin film wiring section 22. Although signal wiring forms the wiring which connects the wiring which connects between LSI chips, and an LSI chip and the exterior, the conductor wiring layer in a thin film wiring section can be substituted for the thin film wiring layer 21 of the two-layer composition of the minimum signal. For this reason, various MCM can be provided by the manufacturing cycle time which is low cost and was shortened conventionally.

[0023]Although this working example explained the case where an electrical power system had two kinds of potential (power supply potential and earth potentials), this forms the via-hole contact for these potential, when the potential of the electrical power system to be used is two or more kinds, and it may be made to arrange these by turns.

[0024]Drawing 4 is a sectional view showing the composition of the multilayer interconnection board concerning the 2nd working example of this invention. Although the base board 11 concerning the 1st working example of the above explained the case where two layers of surface state conductive patterns 13 connected with the surface state conductive pattern 12 connected to power supply voltage at ground voltage were formed, respectively, In the case of the base board 11 of this working example, one layer of surface state conductive patterns 13 connected with the surface state conductive pattern 12 connected to power supply voltage at ground voltage are formed, respectively. In drawing 4, the same mark is given to drawing 2 and a corresponding part, and the explanation is omitted.

[0025]Fundamentally, the thing of the working example of this drawing 4 is also fully equal to practical use. However, if more layers of the above-mentioned surface state conductive patterns 12 and 13 are provided, the capacitor whose capacity is still bigger will be formed, and reduction of power supply noises can be aimed at, and the direct-current serviceability at the time of stationary operation can be increased.

[0026]Drawing 5 is a pattern top view showing the composition of the base board concerning the 3rd working example, and drawing 6 is a sectional view showing the composition of the semiconductor device constituted using the base board of drawing 5. In this drawing 5 and drawing 6, said drawing 1 and drawing 2, and a corresponding part attach the same mark, and that explanation is omitted. Therefore, only the point that the base board 11 differs from what is shown in said drawing 1 in this working example is explained. That is, it is the point that said pad electrode 25 used as an external terminal is arranged in this working example at the outer peripheral part by the side of the upper surface 18 of the base board 11. The ring metal 26 for a shield is formed in the upper surface 18 of the base board 11, by the seam weld method or a laser welding method, the lid (lid) 27 is welded on this ring metal 26, and

a hermetic seal is performed.

[0027]In order to aim at connection between signal wiring and the above-mentioned pad electrode 25, the wiring 28 for a detour constituted with tungsten is formed in the lower part of the ring metal 26, and the via-hole contact 29 for signal wiring is formed.

[0028]Although not illustrated, two or more via-hole contacts for a power supply and ground voltage are arranged at the outer peripheral part by the side of the upper surface 18 of the base board 11, and the surface state conductive patterns 12 and 13 are connected [these / via-hole contact and directly].

[0029]Like the base board 11 of this working example, by forming the pad electrode 25 in that upper surface 18, grease with sufficient thermal conductivity, etc. can be used for the undersurface 19 of the base board 11, and a radiation fin can be provided in it. Compared with alumina ($\text{aluminum}_2\text{O}_3$), about 170 (**/Wm) and about 10 times have [an aluminum nitride] alumina good [the thermal conductivity of the aluminum nitride (AlN) which is the material of the insulation sheet of each layer in a base board] to about 15 (**/Wm). For this reason, refrigeration capacity can be heightened by providing a radiation fin. In order to lower the thermal resistance of the thin film wiring section 22, it is still more effective if what is called a thermal veer is formed into the polyimide insulating layer 20.

[0030]Drawing 7 is a sectional view expanding and showing the upper surface 18 side of the multilayer interconnection board of each above-mentioned working example. The surface state conductive pattern 31 of two or more layers which the base board which constitutes a multilayer interconnection board is equivalent to the aforementioned surface state conductive patterns 12 and 13, and consists of tungsten, respectively, It comprises the insulation sheet 32 provided between these surface state conductive patterns 31, and the insulation sheet 33 provided in the upper surface 18 side. And as mentioned above, the surface is ground, to other insulation sheets 32, the thickness is thin enough and the above-mentioned insulation sheet 33 is carried out. In the polyimide insulating layer 20 of the thin film wiring section 22, the thin film wiring layer 21-1 of the 1st layer and the thin film wiring layer 21-2 of the 2nd layer which comprised copper and a barrier metal, respectively are formed.

[0031]Thus, when thickness forms the insulation sheet 33 made thin in the uppermost surface of a base board, the capacitive coupling between the thin film wiring layer 21-1 in the thin film wiring section 22 and 21-2, and the surface state conductive pattern 31 in which ground voltage is supplied becomes large. As a result, the characteristic impedance of the signal wiring in the thin film wiring section 22 can be controlled easily, and the crosstalk noise between wiring can be removed easily. That is, the characteristic impedance of the signal wiring in the thin film wiring section 22 is controlled by adjusting the distance between the wiring width and the surface state conductive pattern 31 in which the thickness of the insulation sheet 33, i.e., ground voltage, is supplied.

[0032]Although the insulation sheet 33 by the side of a principal surface explained the case where the thickness was made thin by grinding the surface, this makes thickness of the green sheet thinner than other things beforehand, and it may be made to calcinate it in one after that.

[0033]Drawing 8 is a sectional view showing the composition of the semiconductor device concerning the 4th working example of this invention. This working-example equipment forms the thin film wiring section 22 on the base board 11 constituted using the ceramic green sheet, And carry two or more LSI chips 23 on it, and by the ring metal 26 and the lid 27, perform a hermetic seal and MCM40 is constituted, It is made to mount by inserting the lead pin 41 provided in this MCM40 into the through hole 43 of the multilayer printed circuit board 42. The mark 44 in a figure is a circuit pattern of the printed circuit board 42.

[0034]In this case, the pad electrode which is not illustrated [which was provided in the base board] can also be soldered and mounted on the circuit pattern of a printed board surface, without forming the lead pin 41 especially as an external terminal.

[0035]Drawing 9 is a sectional view showing the composition of the semiconductor device concerning the 5th working example of this invention. This working-example equipment is a case where it mounts as the LSI chip mounting surface countered with the printed circuit board 42.

The flexible flat cable 45 is used for connection with the pad electrode 25 and the printed circuit board 42 which are the external terminals of MCM40. The base board 11 of MCM40 is supported in the corner by the spacer etc. which are not illustrated. The radiation fin 46 is formed in the field opposite to the LSI chip mounting surface in the ceramic base board 11.

[0036]Drawing 10 is a sectional view showing the composition of the semiconductor device concerning the 6th working example of this invention. The thing same type [the] as said drawing 8 is used for this working-example equipment as the base board 11, It is made to make connection with the pad electrode 25 and the printed circuit board 42 which are the external terminals of the base board 11 using the leadframe 47 formed by punching processing and etching of the metal thin film. Also in this case, the radiation fin 46 is formed in the field opposite to the LSI chip mounting surface of the base board 11. And the heat generated in each LSI chip 23 is told to the radiation fin 46 via the base board 11. If a base board is formed using the green sheet which comprised an aluminum nitride, heat can be made to radiate effectively rather than alumina, at this time, since the direction of an aluminum nitride has low thermal resistance.

[0037]Drawing 11 is a sectional view of the semiconductor device concerning the 7th working example of this invention. This working-example equipment forms the thin film wiring section 22 on the base board 11 constituted using the ceramic green sheet, And LSI chip 23 is carried via the glue line 51 on the thin film wiring section 22, and the ring metal 26 and the lid 27 perform a hermetic seal, and a multi chip module is constituted.

[0038]In the case of this working example, connection between the electrode (pad electrode) on LSI chip 23 and the bonding pad 53 on the thin film wiring section 22 is made using the leadframe 52 by TAB (Tape Autmated Bonding) technology.

[0039]In this working example, the via-hole contact 15 for power supplies, the via-hole contact 16 for grounding, and the via-hole contact 17 for signals are formed in the base board 11, respectively. The pad electrode 54 connected with each above-mentioned via-hole contact, respectively is formed in both sides of the base board 11. And the pad electrode 54 formed in the thin film wiring section 22 side is selectively connected to the thin film wiring layer 21 of the thin film wiring section 22, and said lead pin 41 is brazed by the pad electrode 54 formed in the thin film wiring section 22 and the opposite hand.

[0040]The base board 11 used in this working example is arranged at an object for power supplies, an object for grounding, and a rate that the via-hole contacts 15, 16, and 17 for signals are constant, And it is formed when only a part of a required size cuts the Motoki board of a big area with which the pad electrode 54 connected to these via-hole contacts was formed.

[0041]Drawing 12 is a pattern top view of this Motoki board 60, and like the above this Motoki board 60, For example, on the surface of an insulation sheet called a ceramic green sheet which consists of alumina ($\text{aluminum}_2\text{O}_3$), an aluminum nitride (AlN), etc., For example, after piling up a two or more layers thing which formed a surface state conductive pattern by screen-stenciling a tungsten paste, it is formed by using calcination technology and being calcinated. In the surface of this Motoki board 60, arrangement formation of two or more pad electrodes is regularly carried out at a fixed interval. The pad electrode 54-1 shown by a black dot is an object for power supplies among a figure, the pad electrode 54-2 which gave a slash is an object for grounding, and the pad electrode 54-3 shown further with a circle [white] is for signals. And it is arranged after this has repeated more than one in the direction of four directions by making a field enclosed with a drawing 12 destructive line into a basic unit.

[0042]Drawing 13 (a) extracts some Motoki boards 60 of above-mentioned drawing 12, and expands and shows it. Drawing 13 (b) is a pattern top view showing the form of the surface state conductive pattern for power supplies formed in the insulation sheet surface of the specific layer which constitutes this Motoki board 60. It is the surface state conductive pattern 12 formed by the field which gave the slash printing a tungsten paste among a figure, and calcinating after that, the via-hole contacts 16 and 17 for grounding and for signals -- in order to prevent a short circuit with each via-hole contact, the conductive pattern is not formed near each circumference. Drawing 13 (c) is a pattern top view showing the form of the surface state conductive pattern for grounding formed in the insulation sheet surface of the specific layer which constitutes this Motoki board 60. It is the surface state conductive pattern 13 formed by the field which gave the slash printing a tungsten paste among a figure, and calcinating after that, the via-hole contacts 15 and 17 for a power

supply and for signals -- in order to prevent a short circuit with each via-hole contact, the conductive pattern is not formed near each circumference.

Drawing 14 shows the sectional view at the time of cutting the above-mentioned Motoki board 60 in the position of the A-A' line in above-mentioned drawing 13 (a).

[0043]The base board used with the semiconductor device shown in above-mentioned drawing 11 is formed by cutting the Motoki board 60 shown in above-mentioned drawing 12 in a required size. For example, many base boards 11 of an identical kind can be formed by cutting the Motoki board 60 for every field surrounded with the dashed line as shown in drawing 15. The base board which suited different MCM by changing the size to cut can be formed. [0044]Thus, since what is necessary is just to prepare only one kind of Motoki board 60 also to different MCM by starting and using the base board 11 from the Motoki board 60 of a large area, a large cost cut is possible. By the way, in the base board 11 started from the above-mentioned Motoki board 60, the position of the object for power supplies, the object for grounding and the pad electrode 54-1 for signals, 54-2, and 54-3 cannot be determined freely.

However, since it is possible to form wiring detailed in said thin film wiring section 22 provided on the base board 11 and the arbitrary pad electrodes 54 on the base board 11 and the bonding pad 53 on the thin film wiring section 22 can be connected freely, It becomes unnecessary for the pad electrode 54 on the base board 11 to hardly take the position and size into consideration, and to provide the wiring of those other than a power supply or for grounding in the inside or the surface of the base board 11 by arranging so that it may be in agreement with the pitch of said lead pin 41. If it is uniformly arranged at a fixed rate, without the pad electrode 54-1 for power supplies, the pad electrode 54-2 for grounding, and the pad electrode 54-3 for signals carrying out localization, Since the pad electrode near LSI chip 23 can be used when it constitutes different MCM, a wire length does not become remarkably long and the characteristic is not degraded. Since it can secure the required number of input and output even if it does not make the pitch of the lead pin 41 remarkably small, since said lead pin 41 is arranged in two dimensions, it does not enlarge board size more than needed.

[0045]When cutting the base board 11 from the above-mentioned Motoki board 60, it may be after piling up and calcinating the ceramic glee sheet of two or more sheets, and may be before calcination. What is necessary is just to calcinate, after punching processing using a metallic mold being able to cut to preparation and cutting to each base board, if it is before calcination.

[0046]Drawing 16 is a sectional view of the semiconductor device concerning the 8th working example of this invention. This working-example equipment has the large calorific value of an LSI chip, and this invention is carried out to MCM in the case of having to radiate heat by connecting a radiation fin to a base board. In this working example, the same mark is given to said drawing 11 and a corresponding part, and that explanation is omitted. Since it is necessary to connect a radiation fin to the base board 11, the lead pin 41 is

taken out with MCM of this working example to the forming face side of the opposite hand 22, i.e., a thin film wiring section, with the case of drawing 11. Therefore, in this working example, the lead pin 41 is not directly connectable with the via-hole contact 17 for signals. Therefore, in this working example, after cutting to each base board 11, the wiring layer 55 is selectively formed with a thin film, thick film technique, or plating on the surface of an opposite hand in the thin film wiring section 22, He is trying to connect the via-hole contact 17 entirety for predetermined signals via this wiring layer 55.

[0047]Also in this case, it can be considered as the base board 11 and a common thing can be used, and since what is necessary is to change only pattern shape of the above-mentioned wiring layer 55 even when it is different MCM, a cost cut becomes possible.

[0048]there is no ** by which this invention is limited to the above-mentioned working example, and it cannot be overemphasized that various modification is possible. For example, although each above-mentioned working example explained a multilayer interconnection board using a ceramic base board formed by a green sheet laminated layers method as a base board, it may be made for this to use resin substrates, such as a glass epoxy board.

[0049]

[Effect of the Invention]As explained above, according to this invention, the formation process of the multilayer interconnection board used for a multi chip module is simplified, The semiconductor device using the multilayer interconnection board in which the reduction of cost and shortening of manufacturing cycle time are possible as a semi custom-made board, and this substrate, and the manufacturing method of a multilayer interconnection board can be provided.

[Brief Description of the Drawings]

[Drawing 1]The pattern top view showing the composition of the multilayer interconnection board concerning the 1st working example.

[Drawing 2]The sectional view showing the composition of the semiconductor device constituted using the multilayer interconnection board of drawing 1.

[Drawing 3]The pattern top view of the field conductive pattern formed in the insulating layer used by the multilayer interconnection board of drawing 1.

[Drawing 4]The sectional view showing the composition of the multilayer interconnection board concerning the 2nd working example.

[Drawing 5]The pattern top view showing the composition of the multilayer interconnection board concerning the 3rd working example.

[Drawing 6]The sectional view showing the composition of the semiconductor device constituted using the multilayer interconnection board of drawing 5.

[Drawing 7]The sectional view expanding and showing the upper surface side of the ceramic base board used in the 1st thru/or the 3rd working example.

[Drawing 8]The sectional view showing the composition of the semiconductor device concerning the 4th working example.

[Drawing 9]The sectional view showing the composition of the semiconductor device concerning the 5th working example.

[Drawing 10]The sectional view showing the composition of the semiconductor device concerning the 6th working example.

[Drawing 11]The sectional view of the semiconductor device concerning the 7th working example.

[Drawing 12]The pattern top view of the Motoki board for forming the base board used with the semiconductor device of drawing 11.

[Drawing 13]The pattern top view extracting, expanding and showing some Motoki boards of drawing 12.

[Drawing 14]The sectional view at the time of cutting the Motoki board of drawing 13.

[Drawing 15]The pattern top view of the Motoki board used with the semiconductor device of drawing 11.

[Drawing 16]The sectional view of the semiconductor device concerning the 8th working example.

[Explanations of letters or numerals]

11 .. A base board, 12, 13 .. A field conductive pattern, 14 .. The center section of the base board, 15, 16, 17 .. Via-hole contact, 18 .. The upper surface of a base board, 19 .. The undersurface of a base board, 20 .. A polyimide insulating layer, 21 .. Thin film wiring layer, 22 .. A thin film wiring section, 23 .. An LSI chip, 24 .. Bonding wires, 25 [.. The circuit pattern for a detour,] .. A pad electrode, 26 .. A ring metal, 27 .. A lid, 28 29 .. The object for signal wiring and the via-hole contact for feed voltages, 31 .. Field conductive pattern, 32 .. An insulation sheet, 33 .. The insulation sheet in which the field conductive pattern is not formed, 40 [.. A through hole, 44 / .. The circuit pattern of a printed circuit board 45 / .. A flexible flat cable, 46 / .. A radiation fin, 47 / .. Leadframe.] .. A multi chip module (MCM), 41 .. A lead pin, 42 .. A printed circuit board, 43

(19)日本国特許庁 (JP)

(12) **公開特許公報 (A)**

(11)特許出願公開番号

特開平6-97362

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁶
H 01 L 23/522
23/12
H 05 K 3/46

識別記号 庁内整理番号
U 6921-4E
9355-4M

F I
H 01 L 23/ 52
23/ 12
審査請求 未請求 請求項の数 9(全 10 頁)

技術表示箇所

(21)出願番号 特願平5-83573

(22)出願日 平成5年(1993)4月9日

(31)優先権主張番号 特願平4-203856

(32)優先日 平4(1992)7月30日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 須藤 俊夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 伊藤 健志

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

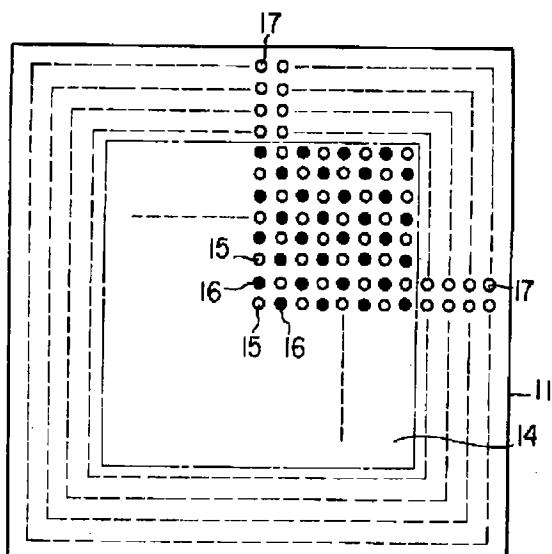
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 多層配線基板、この基板を用いた半導体装置及び多層配線基板の製造方法

(57)【要約】

【目的】この発明は、マルチチップモジュールに使用される多層配線基板の形成プロセスを簡単化することを目的とする。

【構成】電源用と接地用の面状導体パターン12、13が絶縁シートを介して交互に積層されてセラミックベース基板11が構成され、このセラミックベース基板11の中央部には内部の電源用と接地用の面状導体パターンと電気的に接続されたビア・ホールコンタクト15、16が規則的に交互に配置され、セラミックベース基板11の主面上には上記各ビア・ホールコンタクト15、16と選択的に接続された電源及び接地用の薄膜配線と信号用の薄膜配線とが形成された多層薄膜配線部22が設けられる。



【特許請求の範囲】

【請求項1】 電源系の各電位をそれぞれ伝達する面状導体パターンが絶縁層を介して交互に積層されたベース基板と、上記ベース基板の電源系の各電位用の面状導体パターンのそれぞれと電気的に接続され、上記ベース基板の中央部に規則的に交互に配置されこのベース基板を貫通するようによつて形成されたそれぞれ複数の電源系の各電位用ヴィア・ホールコンタクト部と、上記ベース基板の主面上に設けられ、上記各ヴィア・ホールコンタクト部に対して選択的に接続された電源系の各電位用の薄膜配線と信号用の薄膜配線とが形成された多層薄膜配線部とを具備したことを特徴とする多層配線基板。

【請求項2】 電源用及び接地用の面状導体パターンが絶縁層を介して交互に積層されたベース基板と、上記ベース基板の電源用及び接地用の面状導体パターンのそれぞれと電気的に接続され、上記ベース基板の中央部に規則的に交互に配置されこのベース基板を貫通するようによつて形成されたそれぞれ複数の電源用及び接地用ヴィア・ホールコンタクト部と、上記ベース基板の主面上に設けられ、上記電源用及び接地用ヴィア・ホールコンタクト部に対して選択的に接続された電源及び接地用の薄膜配線と信号用の薄膜配線とが形成された多層薄膜配線部とを具備したことを特徴とする多層配線基板。

【請求項3】 前記ベース基板の絶縁層がアルミニウム・ナイトライドで構成されていることを特徴とする請求項2に記載の多層配線基板。

【請求項4】 前記ベース基板の主面には他の絶縁層よりも厚みが十分に薄くされた絶縁層が設けられていることを特徴とする請求項2に記載の多層配線基板。

【請求項5】 電源用及び接地用の面状導体パターンが絶縁層を介して交互に積層されたベース基板と、上記ベース基板の電源用及び接地用の面状導体パターンのそれぞれと電気的に接続され、上記ベース基板の中央部に規則的に交互に配置されこのベース基板を貫通するようによつて形成されたそれぞれ複数の電源用及び接地用ヴィア・ホールコンタクト部と、

上記ベース基板の主面上に設けられ、上記電源用及び接地用ヴィア・ホールコンタクト部に対して選択的に接続された電源及び接地用の薄膜配線と信号用の薄膜配線とが形成された多層薄膜配線部と、上記多層薄膜配線部上に搭載され、複数の表面電極を有し、これらの表面電極が上記多層薄膜配線部の薄膜配線層と選択的に接続された少なくとも1個の半導体チップとを具備したことを特徴とする半導体装置。

【請求項6】 前記ベース基板の主面には他の絶縁層よりも厚みが十分に薄くされた絶縁層が設けられていることを特徴とする請求項5に記載の半導体装置。

【請求項7】 電源用及び接地用の面状導体パターンが絶縁層を介して交互に積層されたベース基板と、上記ベース基板の電源用及び接地用の面状導体パターンのそれぞれと電気的に接続され、上記ベース基板を貫通するようによつて形成されたそれぞれ複数の電源用及び接地用ヴィア・ホールコンタクト部と、

上記ベース基板に上記電源用及び接地用ヴィア・ホールコンタクト部と共に配置され、上記ベース基板を貫通するようによつて形成された複数の信号用ヴィア・ホールコンタクト部と、

10 上記ベース基板の主面上に形成され、上記各ヴィア・ホールコンタクト部と接続された複数のパッド電極とを具備したことを特徴とする多層配線基板。

【請求項8】 前記ベース基板の絶縁層がアルミニウム・ナイトライドで構成されていることを特徴とする請求項7に記載の多層配線基板。

【請求項9】 電源用及び接地用の面状導体パターンが絶縁層を介して交互に積層され、これら電源用及び接地用の面状導体パターンのそれぞれと電気的に接続されたそれぞれ複数の電源用及び接地用ヴィア・ホールコンタクト部及び複数の信号用ヴィア・ホールコンタクト部を有するベース基板を形成し、上記ベース基板を必要な寸法に切断して個々の多層配線基板に分離することを特徴とする多層配線基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体マルチチップモジュール実装に使用される多層配線基板、この基板を用いた半導体装置及び多層配線基板の製造方法に関する。

【0002】

【従来の技術】近年、半導体技術の進歩により、LSIの高集積度化、高速化が進んでいる。これらの高性能なLSIを用いてコンピュータや通信機器を構成する場合、LSI自体の高速化により、信号がLSI間を伝送するときの実装遅延が相対的に大きな比率を占めるようになり、システム性能を制限する要因となってきている。

【0003】この解決手法として、LSIをペアチップのまま高密度に実装するマルチチップモジュール(MCM: Multi Chip Module)の開発が盛んになってきた。MCMには、用いる基板の種類によって、プリント基板に直接、ペアチップを実装するMCM-L、グリーンシートと称されるセラミクス薄膜を積層し、焼成したセラミック基板を用いるMCM-C、薄膜多層配線基板を用いるMCM-Dに分類することができる。その中でも、電気的特性や配線密度等の観点からMCM-Dが注目されている。

【0004】このMCM-Dの場合、薄膜多層配線を形成するためには土台となるベース基板が必要になり、こ

のベース基板としては通常、シリコンウエハ、アルミニウム等の金属板、アルミナ、窒化アルミニウム等からなるセラミック基板が用いられている。セラミック基板を用いた場合には、ベース基板内部に配線を形成することができ、しかもベース基板がパッケージを兼ねることができるために実装密度を向上させることができる。

【0005】このセラミック基板を用いたベース基板は、従来、スーパーコンピュータ等のハイエンドの分野で使われてきたため、そのコストは高くても許容されていた。しかし、この技術をワークステーションやパーソナルコンピュータの分野に適用する場合は、多種多様なものを短期間に製作し、そのコストを低減する必要になってきた。

【0006】

【発明が解決しようとする課題】これまでのMCMに使用されるベース基板は、配線導体パターンの形成、絶縁層とヴィア・ホール(via hole)の形成を、必要層数分を一層ごと形成する必要があった。このプロセスはシケンシャルであるため、ベース基板が完成するまでに必要とされる時間がかかり、コストの低減が難しいという問題があった。

【0007】この発明は上記のような事情を考慮してなされたものであり、その目的は、マルチチップモジュールに使用されるベース基板の形成プロセスを簡単化し、コストの低減化及び製作所要時間の短縮が可能な多層配線基板、この基板を用いた半導体装置及び多層配線基板の製造方法を提供することである。

【0008】

【課題を解決するための手段】この発明の多層配線基板は、電源用及び接地用の面状導体パターンが絶縁層を介して交互に積層されたベース基板と、上記ベース基板の電源用及び接地用の面状導体パターンのそれぞれと電気的に接続され、上記ベース基板の中央部に規則的に交互に配置されこのベース基板を貫通するように形成されたそれぞれ複数の電源用及び接地用ヴィア・ホールコンタクト部と、上記ベース基板の主面上に設けられ、上記電源用及び接地用ヴィア・ホールコンタクト部に対して選択的に接続された電源及び接地用の薄膜配線と信号用の薄膜配線とが形成された多層薄膜配線部とを具備したことを特徴とする。

【0009】

【作用】多種多様なマルチチップモジュールを製作するための多層配線基板を、ASICに使われるゲート・アレイのように、短時間に安価に提供する必要があり、このために、予め表面に電源用と接地用の面状導体パターンのみを形成した絶縁層を積層したベース基板をセミカスタムとして用意し、用途に応じて信号配線を薄膜プロセスで最小限の層数形成する。このとき、ベース基板の中央部には、内部の電源用と接地用の面状導体パターンと接続されるヴィア・ホールコンタクト部を規則的に交

互に配置し、またベース基板の外周部には信号配線と接続されるヴィア・ホールコンタクト部を配置する。そして、薄膜技術により形成される配線により、電源と接地及び信号配線を接続する。これにより、用途毎に任意のサイズのLSIの任意な配置に対応して、LSIの電源及び接地配線はベース基板に規則的に配置されたヴィア・ホールコンタクト部にできるだけ短い距離で接続することができる。また、信号配線は、半導体装置内の半導体チップ間を接続する配線と、半導体チップと半導体装置外部とを接続する配線を形成するが、導体配線層は最少信号用の2層構成の薄膜配線で済ますことができる。

【0010】

【実施例】以下、図面を参照してこの発明を実施例により説明する。

【0011】図1はこの発明の第1の実施例に係るベース基板の構成を示すパターン平面図であり、図2は図1のベース基板を用いて構成された半導体装置の構成を示す断面図である。

【0012】図1のベース基板11は、例えばアルミナ(A₁O₃)やアルミニウム・ナイトライド(A₁N)等からなるセラミックスグリーンシートと称される絶縁シートの表面上に、例えばタンゲステン・ペーストをスクリーン印刷することによって面状導体パターンを形成したものを複数層重ねた後に焼成技術を用いて焼結することによって形成される。

【0013】上記複数層の絶縁シートの各表面上に形成された面状導体パターンには、電源電圧が接続される面状導体パターン12と、接地電圧(基準電圧)が接続される面状導体パターン13との2種類がある。上記ベース基板11は、この2種類の面状導体パターンがそれぞれ形成されたグリーンシートを予め2層ずつ用意し、各面状導体パターン相互間にコンデンサが形成されるように厚み方向に交互に重ね合わせた後に焼成されている。

【0014】図1のベース基板11の中央部14は内部の電源用と接地用の主たる面状導体パターン12、13が形成されている領域である。そして、この中央部14には、電源用の面状導体パターン12と接続され、図中、白丸で示したヴィア・ホールコンタクト15と、接地用の面状導体パターン13と接続され、図中、黒丸で示したヴィア・ホールコンタクト16とが規則的に交互に配置して形成されている。また、ベース基板11の周辺部には、信号配線、及び電源/接地配線を外部に取り出すためのヴィア・ホールコンタクト17が複数配置されている。

【0015】上記各ヴィア・ホールコンタクト15、16、17はそれぞれ、上記各層の絶縁シートに形成された貫通口(ヴィア・ホール)内に例えばタンゲステン・ペーストを充填し、グリーンシートの焼成時に同時に焼成することによって上下方向で電気的接続が図られている。従って、各絶縁層の電源用の面状導体パターン12どおしは並列接続された状態となり、同様に接地用の面状導体パ

ターン13どおしも並列接続された状態となり、それぞれの配線経路に存在するインダクタンス成分が十分に小さくなるように構成されている。

【0016】なお、図2に示したベース基板11は、上面18が薄膜配線形成面である主面となり、下面19が外部端子引出し面の場合である。そして、上面18には、上記電源用のヴィア・ホールコンタクト15、接地用のヴィア・ホールコンタクト16及びヴィア・ホールコンタクト17の各先端面が露出している。また、上面18側の絶縁シートはその表面が研磨されている。さらに上面18側の絶縁シート表面の各ヴィア・ホールコンタクトの露出部には、後述する薄膜配線部22との接続を図るために示しないパッド電極が形成されている。

【0017】上記ベース基板11の上面18には、ポリイミド絶縁層20、銅及びこの銅とポリイミド絶縁層との間の密着性の向上を図るためにバリアメタルとしてのチタン層もしくはクロム層等からなる薄膜配線層21を有する多層配線構造の薄膜配線部22が形成されている。そして、上記ベース基板11とこの薄膜配線部22によって多層配線基板が構成されている。

【0018】上記薄膜配線部22上には複数個の半導体チップ、例えばLSIチップ23が搭載されている。これら各LSIチップ23の上面には、図示しない電源電圧用、接地電圧用及び信号用の電極（パッド電極）が形成されており、これらLSIチップ23上の電極は、ボンディングワイヤ24及び薄膜配線部22内の薄膜配線層21を介して、ベース基板11のヴィア・ホールコンタクト15、16のうち各LSIチップ23に最も近い位置のものとそれぞれ電気的に接続されていると共に、ヴィア・ホールコンタクト17にも接続されている。

【0019】すなわち、ベース基板11の周辺部に配置されているヴィア・ホールコンタクト17の一部はベース基板内で内部の電源用もしくは接地用の面状導体パターン12、13と直接に接続されており、このヴィア・ホールコンタクト17を介して電源電圧もしくは接地電圧が各面状導体パターン12、13に供給され、さらにヴィア・ホールコンタクト15、16、薄膜配線層21及びボンディングワイヤ24を経由して各LSIチップ23に供給される。また、各LSIチップ23と外部との間の信号の授受は、ベース基板11の周辺部に配置されているヴィア・ホールコンタクト17の一部、薄膜配線層21及びボンディングワイヤ24を経由して行われる。

【0020】ベース基板11の下面19には、リードピンがろう付けされるか、もしくはコネクタと接触させるためのパッド電極が形成されるが、この例ではパッド電極25を設けた場合を示している。

【0021】図3は上記ベース基板11を構成する絶縁シート表面に形成された、例えば電源用の面状導体パターン12の形状を示すパターン平面図である。図中、斜線を施した領域がタンゲステンペーストを印刷し、その後に

焼成することによって形成された面状導体パターン12であり、接地用のヴィア・ホールコンタクト16の周囲付近にはこのヴィア・ホールコンタクト16とのショートを防止するために導体パターンは形成されていない。また、接地用の面状導体パターン13もこれと同様に形成されている。

【0022】このように構成された多層配線基板では、多種多様なMCMを製作する際に、用途毎に任意のサイズのLSIチップの任意な配置に対応して、LSIチップの電源及び接地配線はベース基板11に配置された最も近い位置のヴィア・ホールコンタクトから、薄膜配線部22内をほとんど引き回すことなく結線することができる。また、信号配線は、LSIチップ間を接続する配線と、LSIチップと外部とを接続する配線を形成するが、薄膜配線部における導体配線層は最少信号の2層構成の薄膜配線層21で済ますことができる。このため、多種多様なMCMを低コストでかつ従来よりも短縮された製作所要時間で提供することができる。

【0023】なお、この実施例では電源系が2種類の電位（電源電位と接地電位）を持つ場合について説明したが、これは使用する電源系の電位が2種類以上の場合にはこれら電位用のヴィア・ホールコンタクトを設け、これらを交互に配置するようにしてよい。

【0024】図4はこの発明の第2の実施例に係る多層配線基板の構成を示す断面図である。上記第1の実施例に係るベース基板11では、電源電圧に接続される面状導体パターン12と接地電圧に接続される面状導体パターン13をそれぞれ2層設ける場合について説明したが、この実施例のベース基板11の場合には、電源電圧に接続される面状導体パターン12と接地電圧に接続される面状導体パターン13をそれぞれ1層のみ設けるようにしたものである。なお、図4において図2と対応する箇所には同じ符号を付してその説明は省略する。

【0025】基本的にはこの図4の実施例のものでも十分に実用に耐える。しかし、上記面状導体パターン12、13の層をより多く設けるようにすれば、さらに容量の大きなコンデンサが形成されて電源ノイズの削減を図ることができると共に定常動作時における直流電流供給能力を増大させることができる。

【0026】図5は第3の実施例に係るベース基板の構成を示すパターン平面図であり、図6は図5のベース基板を用いて構成された半導体装置の構成を示す断面図である。なお、この図5及び図6において、前記図1及び図2と対応する箇所は同じ符号を付してその説明は省略する。従って、この実施例においてベース基板11が前記図1に示すものと異なっている点のみを説明する。すなわち、この実施例では、外部端子として使用される前記パッド電極25がベース基板11の上面18側の外周部に配置されている点である。また、ベース基板11の上面18にはシールド用のリングメタル26が形成され、シームウェル

ド法やレーザー溶接法により、このリングメタル26上にリッド（蓋）27が溶接されて気密封止が行われる。

【0027】さらに、信号配線と上記パッド電極25との接続を図るためにリングメタル26の下部にはタングステンによって構成された迂回用配線28が形成されると共に信号配線用のヴィア・ホールコンタクト29が形成される。

【0028】なお、図示しないが、ベース基板11の上面18側の外周部には電源及び接地電圧用の複数のヴィア・ホールコンタクトが配置され、面状導体パターン12、13はこれらのヴィア・ホールコンタクトと直接に接続されている。

【0029】また、この実施例のベース基板11のよう に、その上面18にパッド電極25を設けることにより、ベース基板11の下面19に熱伝導率の良いグリース等を用いて放熱フィンを設けることができる。ベース基板における各層の絶縁シートの材料であるアルミニウム・ナイトライド（AlN）の熱伝導率は、アルミナ（Al₂O₃）に比べると、アルミナが約15（℃/Wm）に対してアルミニウム・ナイトライドが約170（℃/Wm）と10倍程度良好である。このため、放熱フィンを設けることによって冷却能力を高めることができる。また、薄膜配線部22の熱抵抗を下げるために、ポリイミド絶縁層20中にいわゆるサーマルヴィアを形成するとさらに効果的である。

【0030】図7は上記各実施例の多層配線基板の上面18側を拡大して示す断面図である。多層配線基板を構成するベース基板は、前記の面状導体パターン12、13に相当しそれぞれタングステンからなる複数層の面状導体パターン31と、これら面状導体パターン31の相互間に設けられた絶縁シート32と、上面18側に設けられた絶縁シート33とから構成されている。そして、前記のように上記絶縁シート33はその表面が研磨され、他の絶縁シート32に対してその厚さが十分に薄くされている。また、薄膜配線部22のポリイミド絶縁層20内には、それぞれ銅及びバリアメタルで構成された第1層目の薄膜配線層21-1及び第2層目の薄膜配線層21-2が形成されている。

【0031】このようにベース基板の最上面に膜厚が薄くされた絶縁シート33を設けることにより、薄膜配線部22内の薄膜配線層21-1及び21-2と、接地電圧が供給される面状導体パターン31との間の容量結合が大きくなる。この結果、薄膜配線部22内における信号配線の特性インピーダンスを容易に制御することができ、配線間のクロストークノイズを容易に除去することができる。すなわち、薄膜配線部22内の信号配線の特性インピーダンスはその配線幅と、絶縁シート33の厚さ、すなわち、接地電圧が供給される面状導体パターン31との間の距離を調整することによって制御される。

【0032】なお、主面側の絶縁シート33はその表面を研磨することによってその厚さを薄くする場合について

説明したが、これはグリーンシートの厚さを予め他のものよりも薄くしておき、その後、一体的に焼成するようにしてよい。

【0033】図8はこの発明の第4の実施例に係る半導体装置の構成を示す断面図である。この実施例装置は、セラミックグリーンシートを用いて構成したベース基板11上に薄膜配線部22を形成し、かつその上に複数のLSIチップ23を搭載し、リングメタル26とリッド27によって気密封止を行ってMCM40を構成し、このMCM40に設けたリードピン41を、多層のプリント基板42のスルーホール43内に挿入することによって実装を行うようにしたものである。なお、図中の符号44はプリント基板42の配線パターンである。

【0034】この場合、外部端子として特にリードピン41を設けずに、ベース基板に設けられた図示しないパッド電極をプリント基板表面の配線パターン上に半田付けする等して実装することもできる。

【0035】図9はこの発明の第5の実施例に係る半導体装置の構成を示す断面図である。この実施例装置は、LSIチップ搭載面がプリント基板42と対向するようにして実装した場合であり、MCM40の外部端子であるパッド電極25とプリント基板42との接続にフレキシブル・フラット・ケーブル45を用いたものである。なお、MCM40のベース基板11は角部において、図示しないスペーサー等により支持されている。また、セラミックベース基板11におけるLSIチップ搭載面と反対の面には放熱フィン46が設けられている。

【0036】図10はこの発明の第6の実施例に係る半導体装置の構成を示す断面図である。この実施例装置は、ベース基板11として前記図8と同様のタイプのものを使用し、ベース基板11の外部端子であるパッド電極25とプリント基板42との接続を、金属薄膜の打ち抜き加工やエッチングによって形成されたリードフレーム47を用いて行うようにしたものである。この場合にも、ベース基板11のLSIチップ搭載面と反対の面には放熱フィン46が設けられている。そして、各LSIチップ23で発生した熱はベース基板11を経由して放熱フィン46に伝えられる。このとき、アルミナよりもアルミニウム・ナイトライドの方が熱抵抗が低いため、アルミニウム・ナイトライドで構成されたグリーンシートを用いてベース基板を形成すれば効果的に放熱を行わせることができる。

【0037】図11はこの発明の第7の実施例に係る半導体装置の断面図である。この実施例装置は、セラミックグリーンシートを用いて構成したベース基板11上に薄膜配線部22を形成し、かつその薄膜配線部22上に接着層51を介してLSIチップ23を搭載し、かつリングメタル26とリッド27によって気密封止を行ってマルチチップモジュールを構成したものである。

【0038】なお、この実施例の場合、LSIチップ23上の電極（パッド電極）と薄膜配線部22上のボンディング

グパッド53との接続はT A B (Tape Automated Bonding) 技術によりリードフレーム52を用いて行われている。

【0039】この実施例において、ベース基板11には電源用のヴィア・ホールコンタクト15、接地用のヴィア・ホールコンタクト16及び信号用のヴィア・ホールコンタクト17がそれぞれ設けられている。また、ベース基板11の両面にはそれぞれ上記各ヴィア・ホールコンタクトと接続されたパッド電極54が形成されてる。そして、薄膜配線部22側に形成されたパッド電極54は薄膜配線部22の薄膜配線層21に選択的に接続され、薄膜配線部22と反対側に形成されたパッド電極54には前記リードピン41がろう付けされている。

【0040】この実施例で使用されるベース基板11は、電源用、接地用、信号用のヴィア・ホールコンタクト15、16、17が一定の割合で配置され、かつこれらのヴィア・ホールコンタクトに接続されたパッド電極54が形成された大きな面積の元基板を必要な大きさの分だけ切断することによって形成される。

【0041】図12はこの元基板60のパターン平面図であり、この元基板60は前記と同様に、例えばアルミナ(A1₂O₃) やアルミニウム・ナイトライド(A1N) 等からなるセラミックスグリーンシートと称される絶縁シートの表面上に、例えばタングステン・ペーストをスクリーン印刷することによって面状導体パターンを形成したものを複数層重ねた後に焼成技術を用いて焼成されることによって形成されている。この元基板60の表面には複数のパッド電極が一定の間隔で規則的に配置形成されている。図中、黒丸で示したパッド電極54-1は電源用であり、斜線を施したパッド電極54-2は接地用であり、さらに白丸で示したパッド電極54-3は信号用のものである。そして、図12中破線で囲んだ領域を基本単位としてこれが上下左右方向に複数繰り返した状態で配置されている。

【0042】図13 (a) は上記図12の元基板60の一部を抽出し、拡大して示したものである。また、図13 (b) はこの元基板60を構成する特定の層の絶縁シート表面に形成された電源用の面状導体パターンの形状を示すパターン平面図である。図中、斜線を施した領域がタングステンペーストを印刷し、その後に焼成することによって形成された面状導体パターン12であり、接地用及び信号用のヴィア・ホールコンタクト16、17それぞれの周囲付近にはそれぞれのヴィア・ホールコンタクトとのショートを防止するために導体パターンは形成されていない。図13 (c) はこの元基板60を構成する特定の層の絶縁シート表面に形成された接地用の面状導体パターンの形状を示すパターン平面図である。図中、斜線を施した領域がタングステンペーストを印刷し、その後に焼成することによって形成された面状導体パターン13であり、電源用及び信号用のヴィア・ホールコンタクト15、

17それぞれの周囲付近にはそれぞれのヴィア・ホールコンタクトとのショートを防止するために導体パターンは形成されていない。また、図14は上記図13 (a) 中のA-A' 線の位置で上記元基板60を切断した場合の断面図を示している。

【0043】上記図11に示される半導体装置で使用されるベース基板は、上記図12に示す元基板60を必要な大きさに切断することによって形成される。例えば図15に示すように破線で囲まれた領域毎に元基板60を切断することによって同一種類のベース基板11を多数形成することができる。また、切断する大きさを変えることによって異なるMCMに適合したベース基板を形成することができる。

【0044】このように広い面積の元基板60からベース基板11を切り出して使用することにより、異なるMCMに対してもただ1種類の元基板60を用意すれば良いので、大幅なコストダウンが可能である。ところで、上記元基板60から切り出されたベース基板11では、電源用、接地用及び信号用のパッド電極54-1、54-2、54-3の位置を自由に決定することはできない。しかし、ベース基板11上に設けられる前記薄膜配線部22では微細な配線を形成することが可能であり、ベース基板11上の任意のパッド電極54と薄膜配線部22上のボンディングパッド53とを自由に接続できるため、ベース基板11上のパッド電極54はその位置やサイズをほとんど考慮する必要がなく、前記リードピン41のピッチと一致するように配置することにより、ベース基板11の内部あるいは表面に電源や接地用以外の配線を設ける必要がなくなる。また、電源用のパッド電極54-1、接地用のパッド電極54-2及び信号用のパッド電極54-3が局在することなく一定の割合で均等に配置されれば、異なるMCMを構成する場合においてもLSIチップ23の近傍のパッド電極を用いることができるため、配線長が著しく長くなることがなく、特性を劣化させない。また、前記リードピン41は2次元的に配置されるため、リードピン41のピッチを著しく小さくしなくとも必要な入出力数を確保できるため、必要以上に基板サイズを大きくすることもない。

【0045】なお、上記元基板60からベース基板11を切断する時は、複数枚のセラミックグリーンシートを重ね合わせ、焼成した後でも良いし、焼成前でも良い。焼成前であれば金型を用いた打ち抜き加工により用意に切断することができ、個々のベース基板に切断した後に焼成すれば良い。

【0046】図16はこの発明の第8の実施例に係る半導体装置の断面図である。この実施例装置は、LSIチップの発熱量が大きく、ベース基板に放熱フィンを接続して放熱を行わなければならない場合のMCMにこの発明を実施したものである。なお、この実施例において、前記図11と対応する箇所には同じ符号を付してその説明は省略する。この実施例のMCMではベース基板11に

放熱フィンを接続する必要があるために、リードピン41は図11の場合とは反対側、すなわち薄膜配線部22の形成面側に出されている。従って、この実施例では信号用のヴィア・ホールコンタクト17にリードピン41を直接に接続することができない。そのため、この実施例では、個々のベース基板11に切断した後に薄膜配線部22とは反対側の表面に薄膜あるいは厚膜技術もしくはメッキ法等により配線層55を選択的に形成し、この配線層55を介して所定の信号用のヴィア・ホールコンタクト17を接続するようにしている。

【0047】この場合にもベース基板11とし共通のものを使用することができ、異なるMCMの場合でも上記配線層55のパターン形状のみを変更すれば良いので、コストダウンが可能になる。

【0048】なお、この発明は上記実施例に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば上記各実施例ではグリーンシート積層法により形成されたセラミックベース基板をベース基板として用いた多層配線基板について説明したが、これはガラスエポキシ基板等の樹脂基板を用いるようにしても良い。

【0049】

【発明の効果】以上説明したようにこの発明によれば、マルチチップモジュールに使用される多層配線基板の形成プロセスが簡単化され、セミカスタム基板としてコストの低減化及び製作所要時間の短縮が可能な多層配線基板、この基板を用いた半導体装置及び多層配線基板の製造方法を提供することができる。

【図面の簡単な説明】

【図1】第1の実施例に係る多層配線基板の構成を示すパターン平面図。

【図2】図1の多層配線基板を用いて構成された半導体装置の構成を示す断面図。

【図3】図1の多層配線基板で使用される絶縁層に形成された面導体パターンのパターン平面図。

【図4】第2の実施例に係る多層配線基板の構成を示す断面図。

12
* 【図5】第3の実施例に係る多層配線基板の構成を示すパターン平面図。

【図6】図5の多層配線基板を用いて構成された半導体装置の構成を示す断面図。

【図7】第1ないし第3の実施例で使用されるセラミックベース基板の上面側を拡大して示す断面図。

【図8】第4の実施例に係る半導体装置の構成を示す断面図。

【図9】第5の実施例に係る半導体装置の構成を示す断面図。

【図10】第6の実施例に係る半導体装置の構成を示す断面図。

【図11】第7の実施例に係る半導体装置の断面図。

【図12】図11の半導体装置で使用されるベース基板を形成するための元基板のパターン平面図。

【図13】図12の元基板の一部を抽出し、拡大して示すパターン平面図。

【図14】図13の元基板を切断した場合の断面図。

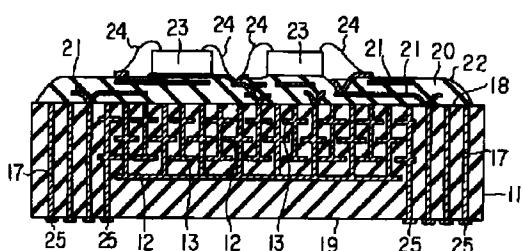
【図15】図11の半導体装置で使用される元基板のパターン平面図。

【図16】第8の実施例に係る半導体装置の断面図。

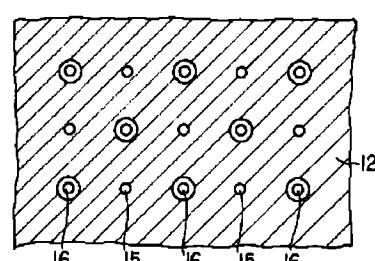
【符号の説明】

11…ベース基板、12, 13…面導体パターン、14…ベース基板の中央部、15, 16, 17…ヴィア・ホールコンタクト、18…ベース基板の上面、19…ベース基板の下面、20…ポリイミド絶縁層、21…薄膜配線層、22…薄膜配線部、23…L S Iチップ、24…ボンディングワイヤ、25…パッド電極、26…リングメタル、27…リッド、28…迂回用配線パターン、29…信号配線用及び電圧供給用のヴィア・ホールコンタクト、31…面導体パターン、32…絶縁シート、33…面導体パターンが形成されていない絶縁シート、40…マルチチップモジュール(MCM)、41…リードピン、42…プリント基板、43…スルーホール、44…プリント基板の配線パターン、45…フレキシブル・フラット・ケーブル、46…放熱フィン、47…リードフレーム。

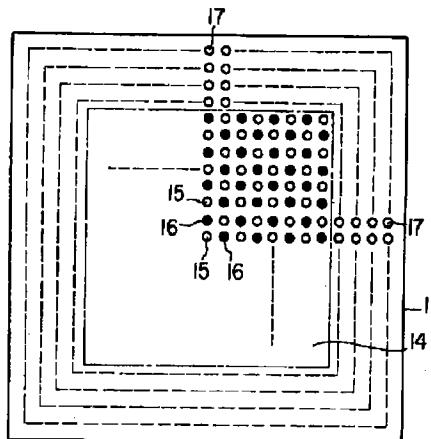
【図2】



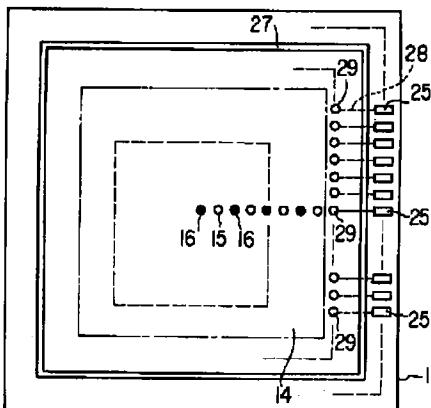
【図3】



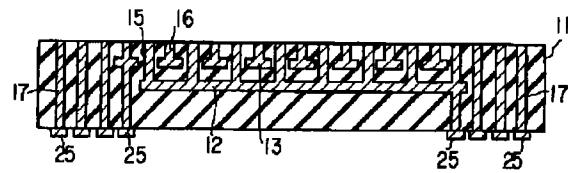
【図1】



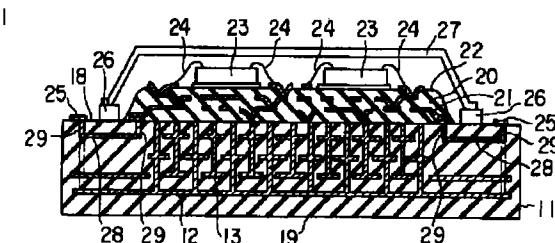
【図5】



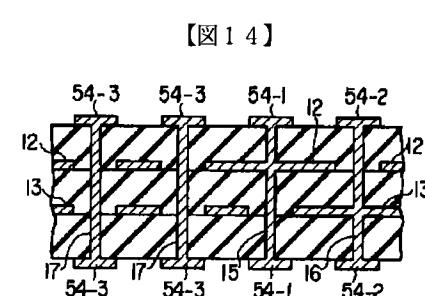
【図4】



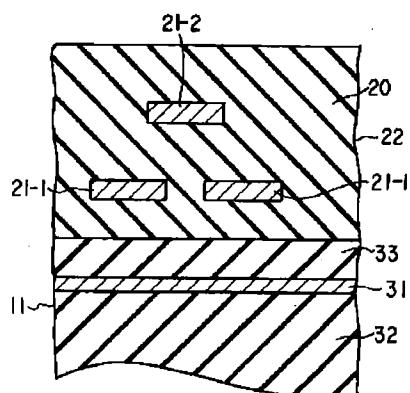
【図6】



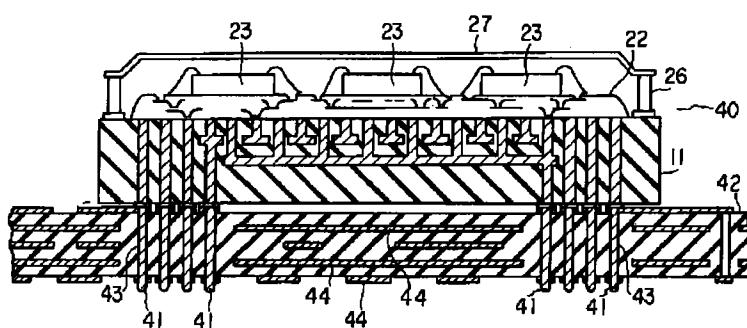
【図5】



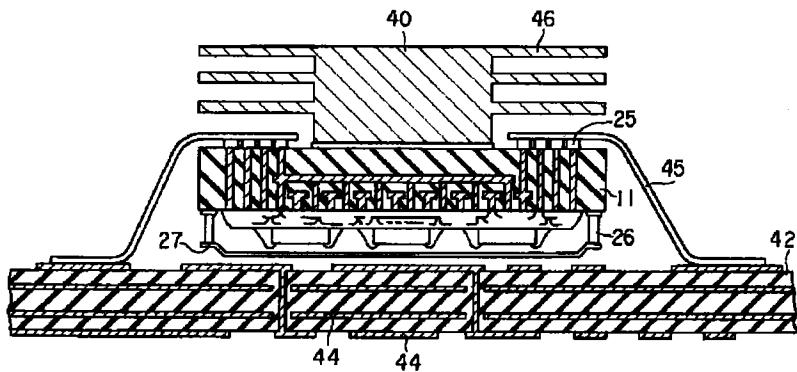
【図7】



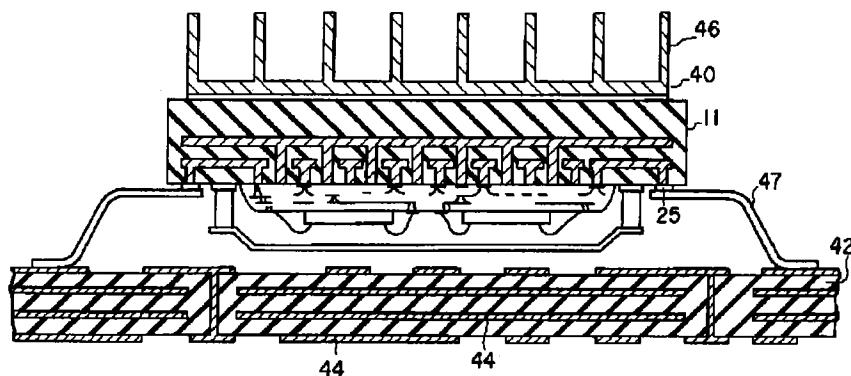
【図8】



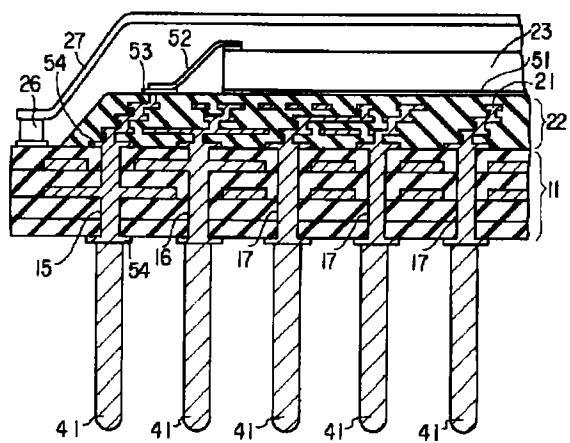
【図9】



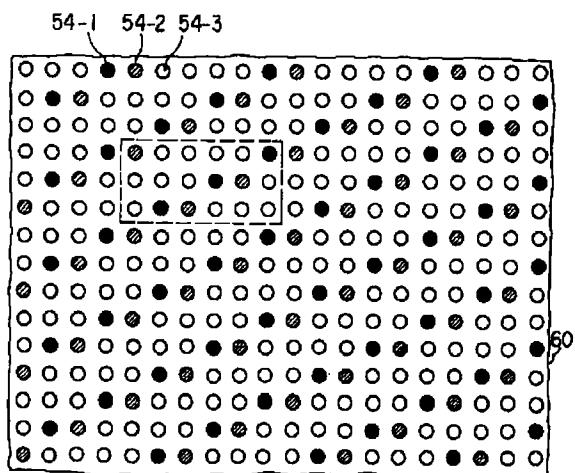
【図10】



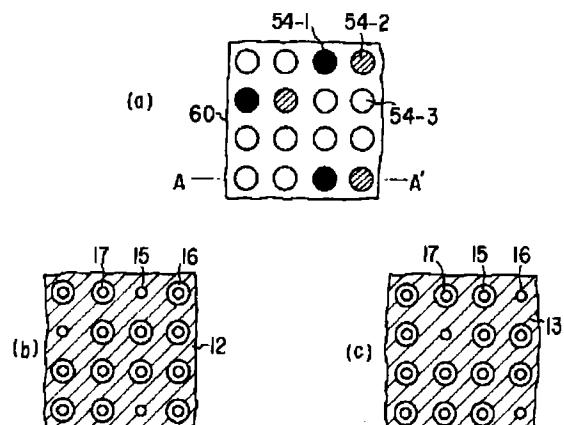
【図11】



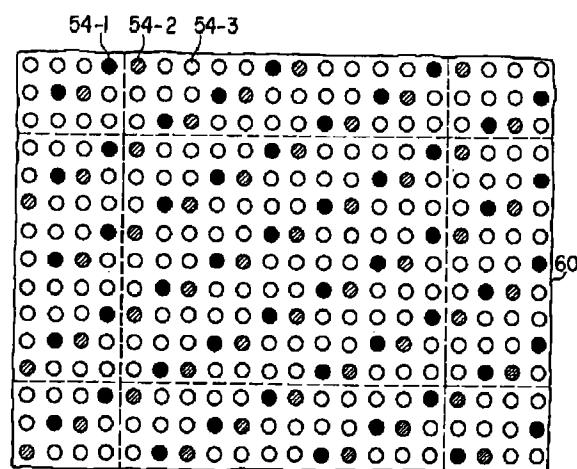
【図12】



【図13】



【図15】



【図16】

